

PTO 97-4521 ✓

CY=JP DATE=19800412 KIND=A  
PN=55050634

PREPARATION OF SEMICONDUCTOR INTEGRATED CIRCUIT  
[Handotai shusei kairo no seiho]

Yutaka Yoriume et al.

UNITED STATES PATENT AND TRADEMARK OFFICE  
Washington, D.C. August 1997

Translated by: Diplomatic Language Services, Inc.

PUBLICATION COUNTRY (19) : JP  
DOCUMENT NUMBER (11) : 55050634  
DOCUMENT KIND (12) : A  
(13) :  
PUBLICATION DATE (43) : 19800412  
PUBLICATION DATE (45) :  
APPLICATION NUMBER (21) : 53124810  
APPLICATION DATE (22) : 19781011  
ADDITION TO (61) :  
INTERNATIONAL CLASSIFICATION (51) : H01L 21/76  
DOMESTIC CLASSIFICATION (52) :  
PRIORITY COUNTRY (33) :  
PRIORITY NUMBER (31) :  
PRIORITY DATE (32) :  
INVENTOR (72) : YORIUME, YUTAKA; MINEGISHI,  
HITOSHIGE  
APPLICANT (71) : NIPPON TELEGRAPH & TELEPHONE COMPANY  
TITLE (54) : PREPARATION OF SEMICONDUCTOR  
INTEGRATED CIRCUIT  
FOREIGN TITLE [54A] : HANDOTAI SHUSEI KAIRO NO SEIHO

## Specification

### 1. Title of the Invention

Preparation of semiconductor integrated circuit

### 2. Claim

The preparation of a semiconductor integrated circuit is comprised of the special features of: a process to form a primary  $\text{SiO}_2$  layer on the main side of a silicon substrate that is subject to oxidized treatment; a process to form a primary  $\text{Si}_3\text{N}_4$  layer on the silicon substrate or the  $\text{SiO}_2$  layer, where the silicon substrate is subject to thermal treatment in a gaseous atmosphere containing ammonia or ammonia itself; a process to selectively form a secondary  $\text{Si}_3\text{N}_4$  layer on top of the primary  $\text{SiO}_2$  layer; a process to form a third  $\text{Si}_3\text{N}_4$  layer and a secondary  $\text{SiO}_2$  layer on the region under the secondary  $\text{Si}_3\text{N}_4$  layer on top of the primary  $\text{Si}_3\text{N}_4$  layer and the primary  $\text{SiO}_2$  layer removed from the secondary  $\text{Si}_3\text{N}_4$  layer on top of the primary  $\text{Si}_3\text{N}_4$  layer and the primary  $\text{SiO}_2$  layer; and a process to form a third  $\text{SiO}_2$  layer for separation among elements in the region of the third  $\text{Si}_3\text{N}_4$  layer on the main side of the silicon substrate subject to oxidation treatment for a third  $\text{Si}_3\text{N}_4$  layer mask on the silicon substrate.

### 3. Detailed Explanation of the Invention

This relates to the improved preparation of semiconductor integrated circuit devices, with this invention comprised of a semiconductor element that is constructed of a layer for separating

elements from other semiconductor elements.

This method of semiconductor integrated circuit preparation is illustrated in Figure 1, and involves, as shown in Figure 1A, the flat main section (1) of, for example, a P-type silicon substrate (2) subject to thermal oxidation treatment. As shown in Figure 1B, on the side of the main section (1) of the silicon substrate (2), one forms a SiO<sub>2</sub> layer (3). Next, on top of the SiO<sub>2</sub> layer (3) as shown in Figure 1C, selectively form a Si<sub>3</sub>N<sub>4</sub> layer (4). Then, as shown in Figure 1D, remove the region of the SiO<sub>2</sub> layer (3) beneath the Si<sub>3</sub>N<sub>4</sub> layer (4) and form a SiO<sub>2</sub> layer (5) in the area beneath the Si<sub>3</sub>N<sub>4</sub> layer (4) with the SiO<sub>2</sub> layer (3). Next, as shown in Figure 1E, on the silicon substrate (2), form a SiO<sub>2</sub> layer (6) layer for separation among elements in the area beneath the masked and oxidized Si<sub>3</sub>N<sub>4</sub> layer (4) on the main section of the silicon substrate (2). Then, as shown in Figure 1F, remove the Si<sub>3</sub>N<sub>4</sub> layer (4) and the SiO<sub>2</sub> layer (5) from on top of the silicon substrate (2). Finally, as shown in Figure 1G, create a semiconductor element (8) in the region (7) for the semiconductor element forming region, specifically, in the region (7) where the layer for separation among elements is not formed by the SiO<sub>2</sub> layer (6) on the silicon substrate (2) after heating. Thus, this preparation of a semiconductor integrated circuit is presented with the purpose of separating one semiconductor element (8) from other semiconductor elements (8) with the layer for separation among elements (6). The semiconductor element (8) in Figure 1G has a source area formed on the side of the main section in the silicon substrate (2) labeled as N-type region (9) and a drain area labeled as N-type region (10), and a channel area (11) in between

regions (9) and (10) on the silicon substrate (2), on top of which is a gate insulation area through a SiO<sub>2</sub> layer (12) to the conductive layer (13) of the gate electrode, and region (7) and the SiO<sub>2</sub> layer (12) on the SiO<sub>2</sub> layer (6), where an insulation layer (14) extends over the conductive layer (13). In between each insulation layer (14) are previously cut windows (15) and (16) through which regions (9) and (10) are connected from the source electrode to the wiring layer and from the drain electrode to the wiring layer; conductive layers (17) and (18) are constructed with MIS [illegible] effect-type transistor semiconductor elements that comprise this example.

When preparing a semiconductor integrated circuit, for preparation with a layer for separation among elements, the SiO<sub>2</sub> layer (6) has a Si<sub>3</sub>N<sub>4</sub> layer (4) mask on the thermal oxidation treated silicon substrate (2). In this case, because of the thermal oxidation treatment, a SiO<sub>2</sub> layer (5) exists under the Si<sub>3</sub>N<sub>4</sub> layer (4). If this SiO<sub>2</sub> layer (5) didn't exist, during thermal oxidation treatment, distortion would be created in between the Si<sub>3</sub>N<sub>4</sub> layer (4) and the silicon substrate (2) [illegible]. In the element formation region (7), do not ignore the distortion or there will be strain. Oxidizing agents such as oxygen, water molecules, hydroxyls, etc. should each be placed on the surface of the SiO<sub>2</sub> layer (5) and Si<sub>3</sub>N<sub>4</sub> layer (4) to permeate the area beneath the Si<sub>3</sub>N<sub>4</sub> layer (4) during thermal treatment with the SiO<sub>2</sub> layer (6) for the layer for separation among elements. Then, through the SiO<sub>2</sub> layer (5), reach the side of the main section of the silicon substrate (2). The SiO<sub>2</sub> layer (6) for the layer of separation among elements is in the area beneath the Si<sub>3</sub>N<sub>4</sub> layer (4). The degree of thickness of the SiO<sub>2</sub> layer (6) for

the layer of separation among elements and its length is an extension of the birdbeak so the minimum width of the  $\text{SiO}_2$  layer (6) for the layer of separation among elements is preset. The birdbeak extended portion is more than twice the size of the minimum width. For this, the semiconductor integrated circuit has a fixed limit for high-density integration. Also, for thermal treatment of the  $\text{SiO}_2$  layer (6) for the layer for separation among elements, the  $\text{Si}_3\text{N}_4$  layer (4) should be thick, and if the  $\text{SiO}_2$  layer (5) is not thick, the  $\text{SiO}_2$  layer (6) for the layer of separation among elements should have the length of the birdbeak shortened accordingly. In between the  $\text{Si}_3\text{N}_4$  layer (4) and the silicon substrate (2), if the distortion is great or if the distortion [illegible] effect in the  $\text{SiO}_2$  layer (5) weakens, eventually [illegible], along with distortion in the element formation region (7) that cannot be ignored, there will be strain.

This invention is to present the preparation of an original semiconductor integrated circuit as written below to clearly illustrate the high-density integration limits referenced in existing situations mentioned where the element forming regions are not strained by the stress of distortion.

Figure 2 shows the working example for this invention, showing a portion equivalent to that in Figure 1 with identical identifying marks using the prepared surface (1) shown in Figure 2A with a P-type silicon substrate (2), for example, subject to thermal oxidation treatment to form a  $\text{SiO}_2$  layer (3) on surface (1) of the silicon substrate (2) at a level of 500°C, for example, as shown in Figure 2B.

Next, with the  $\text{SiO}_2$  layer (3) formed on the silicon substrate (2),

perform thermal treatment using ammonia or in a gas environment containing ammonia, at, for example, a high temperature of 1000°C-1300°C, to form a  $\text{Si}_3\text{N}_4$  layer (21) as shown in Figure 2C on the  $\text{SiO}_2$  layer (3) and the silicon substrate (2). This  $\text{Si}_3\text{N}_4$  layer (21) will form thicker and faster with higher pressure using ammonia or a gas environment containing ammonia.

Next, as shown in Figure 2D, along with selectively forming the  $\text{Si}_3\text{N}_4$  layer (4) on top of the  $\text{SiO}_2$  layer (3), form the resist layer (22) mask on top of the  $\text{Si}_3\text{N}_4$  layer (4) during ion infusion treatment with, for example, a photoresistant layer, a  $\text{SiO}_2$  layer, a gold-plated layer, or others. Then, depending on the purity of the ion shooting treatment on the N-type and the mask of this resist layer (22), the ion shooting layer (23) is manufactured in the region under the main layer (21) on the silicon substrate (2).

Then, create a  $\text{Si}_3\text{N}_4$  layer (24) and a  $\text{SiO}_2$  layer (5) underneath the  $\text{Si}_3\text{N}_4$  layer (4) on the  $\text{Si}_3\text{N}_4$  layer (21) and  $\text{SiO}_2$  layer (3) by removing the region under the  $\text{Si}_3\text{N}_4$  layer (4) of the  $\text{Si}_3\text{N}_4$  layer (21) and the  $\text{SiO}_2$  layer (3) as shown in Figure 2F using an etchant to separate the  $\text{SiO}_2$  layer (3) and the  $\text{Si}_3\text{N}_4$  layer (21), such as [illegible] acid, and removing the resist layer (22) and  $\text{Si}_3\text{N}_4$  layer (4). In this case, the etchant employed was used effectively in etching the  $\text{SiO}_2$  layer (3), but depending on the etchant, there can be damage to the ions during ion shooting treatment to form the ion shooting layer (23) with the  $\text{Si}_3\text{N}_4$  layer (21). If there is etching trouble with the etchant on the  $\text{Si}_3\text{N}_4$  layer (21), before performing the etching treatment, perform the ion shooting treatment using inactive ions such as argon, etc. on the  $\text{Si}_3\text{N}_4$ .

layer (21), or continue the etching treatment on the SiO<sub>2</sub> layer (3) with, for example, [illegible] acid as an etchant to obtain good etching treatment. In this case, if there is [illegible] while etching the Si<sub>3</sub>N<sub>4</sub> layer (4), the thickness of Si<sub>3</sub>N<sub>4</sub> layer (21) is thin enough for essentially no trouble to occur.

Next, as shown in Figure 2G, remove the resist layer (22) from on top of the Si<sub>3</sub>N<sub>4</sub> layer (4), then perform thermal oxidation treatment on the mask of the Si<sub>3</sub>N<sub>4</sub> layers (4) and (24) on the heated silicon substrate (2). Form the layer for separation among elements with the SiO<sub>2</sub> layer (6) in the region beneath Si<sub>3</sub>N<sub>4</sub> layers (4) and (24) on the surface of the main section of the silicon substrate (2) as shown in Figure 2H. In this case, surface inversion prevention layer (25) is formed under the SiO<sub>2</sub> layer (6) for the layer for separation among elements on silicon substrate (2) by the ion shooting layer (23).

Next, as shown in Figure 2I, the Si<sub>3</sub>N<sub>4</sub> layer (4), SiO<sub>2</sub> layer (5), and Si<sub>3</sub>N<sub>4</sub> layer (24) are removed from the top of the silicon substrate (2). In the case of the Si<sub>3</sub>N<sub>4</sub> layer (4) and SiO<sub>2</sub> layer (5), use an etchant for removal of these SiO<sub>2</sub> layers (5) Si<sub>3</sub>N<sub>4</sub> layers (4). For the Si<sub>3</sub>N<sub>4</sub> layer (24), use an [illegible] acid as an etchant to perform the etching treatment, or plasma etching treatment for removal.

Next, for the layer for separation among elements on the silicon substrate (2), in the region (7) where the SiO<sub>2</sub> layer (6) is not formed, this will be the area (7) element forming region, as illustrated in Figure 2J. For example, in the above case shown in Figure 1G, form the same semiconductor element (8) by separating one semiconductor element (8) from the other semiconductor elements (8) with the SiO<sub>2</sub> layer (6) for

the purpose of creating this semiconductor integrated circuit.

Given above is but one example clearly describing the preparation of the semiconductor integrated circuit of this invention. Depending on the preparation, the  $\text{SiO}_2$  layer (6) for the layer for separation among elements is coated with a mask of  $\text{Si}_3\text{N}_4$  layers (4) and (24) on the silicon substrate (2) and subject to thermal oxidation treatment. In this case, oxidizing agents such as oxygen, water molecules, hydroxyls, and others pass through the  $\text{SiO}_2$  layer (5) and the  $\text{Si}_3\text{N}_4$  layer (4) to permeate the area beneath the  $\text{Si}_3\text{N}_4$  layer (4). For the  $\text{Si}_3\text{N}_4$  layer (24) to exist beneath the  $\text{SiO}_2$  layer (5), the oxidizing agents must be prevented from reaching the silicon substrate (2) main surface. For this, the  $\text{SiO}_2$  layer (6) for the layer for separation among elements, in the area beneath the  $\text{Si}_3\text{N}_4$  layers (4) and (24), the birdbeak extension is either formed or not formed. As shown in the figure, since the length of the birdbeak is no more than the thickness of the  $\text{SiO}_2$  layer (6) for the layer for separation among elements, it can be formed at nearly the minimum width of the  $\text{SiO}_2$  layer (6) for the layer for separation among elements or with a larger formation, but as explained with Figure 1, compared to existing devices, this is formed with remarkably small widths.

Therefore, as described above, this semiconductor integrated circuit has the remarkable feature of high-density integration instead of the limitations of comparatively larger widths as mentioned for Figure 1. Also, the length of the conductive layer extending from the semiconductor element (8) can be shortened, and along with shortening this portion of the conductive layer, the suspended volume and

resistance, etc. decreases to construct the high-speed integrated circuit with the semiconductor elements (8). In the case of this invention, the SiO<sub>2</sub> layer (5) and the silicon substrate (2) surface area beneath the existing Si<sub>3</sub>N<sub>4</sub> layer (24) extend over the SiO<sub>2</sub> layer (6) for the layer for separation among elements. Depending on the distortion between the silicon substrate (2) and the Si<sub>3</sub>N<sub>4</sub> layer (24), there may be accompanying distortion in the element forming region (7), causing the problem of stress to occur. Depending on whether or not the Si<sub>3</sub>N<sub>4</sub> layer (24) is formed sufficiently thin, in reality, this problem will not occur.

The description above is simply one example for this invention. For example, as shown in Figure 2D, the formation process to form the layer (22) is abbreviated and in the next figure, Figure 2F, the formation process to form the ion shooting layer (23) is abbreviated. It is also possible to have a semiconductor integrated circuit with surface inversion prevention layers (25). Of course, this invention has a semiconductor element (8) for the semiconductor integrated circuit as in the example given above with an MIS [illegible] effect-type transistor, an external [illegible] electronic effect type, and is clearly appropriate for a bipolar type with active elements and passive elements.

#### 4. Brief Explanation of the Figures

Figure 1 shows the order of the existing process for semiconductor integrated circuit preparation in an abbreviated cross-sectional diagram. Figure 2 shows the order of the process in one example of

semiconductor integrated circuit preparation in this invention in an abbreviated cross-sectional diagram.

In the figures, 1 denotes the main section; 2 the silicon substrate; 3, 5, and 6 the SiO<sub>2</sub> layers; 4, 21, and 24 the Si<sub>3</sub>N<sub>4</sub> layers; 7 the element forming region; and 8 the semiconductor elements.

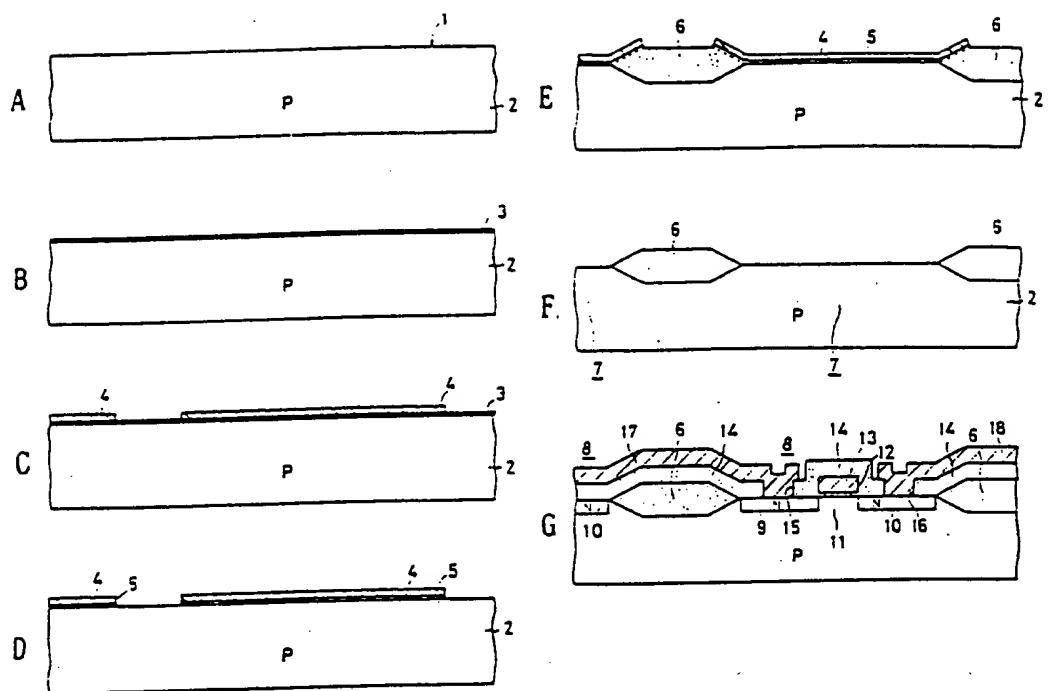


Figure 1

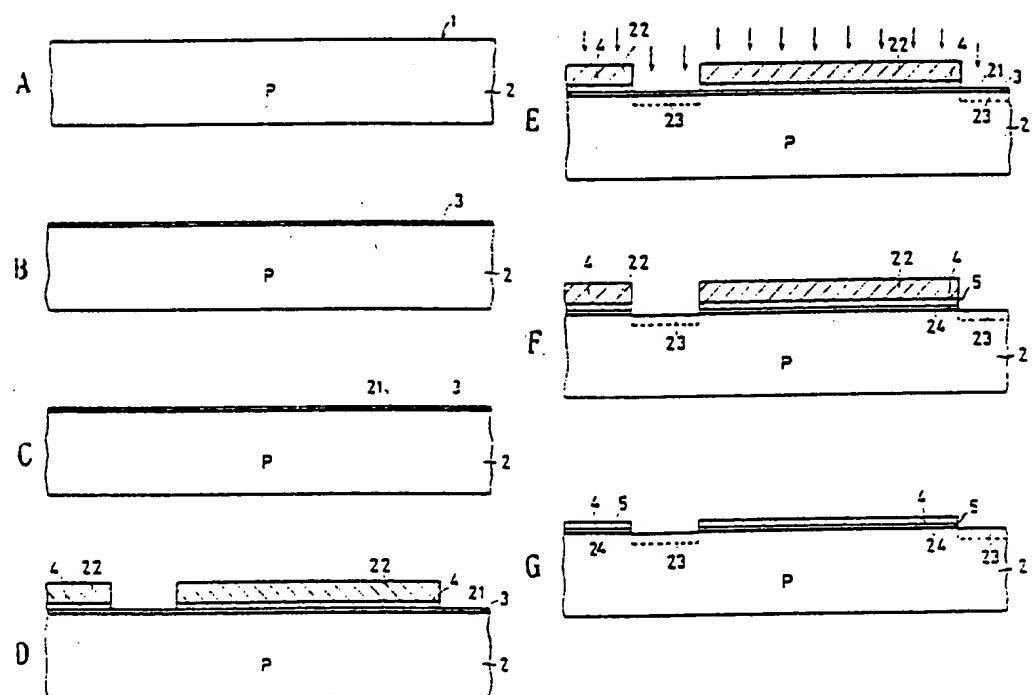


Figure 2

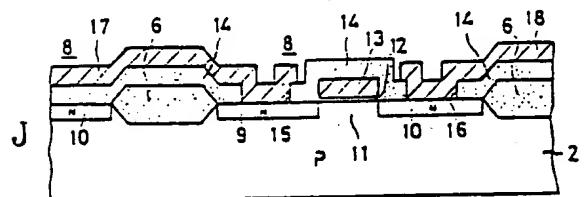
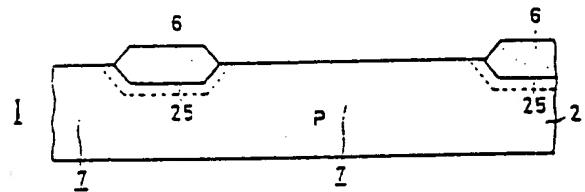
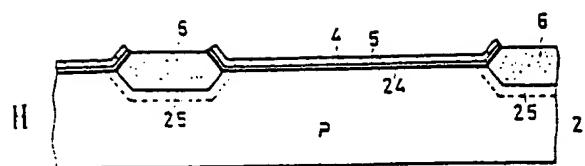


Figure 2 [continued]

437-70

AU 114

48004

JA 0050634  
APR 1980

applicant's copy

JA-1980-04

(54) PREPARATION OF SEMICONDUCTOR INTEGRATED CIRCUIT

(11) 55-50634 (A) (43) 12.4.1980 (19) JP

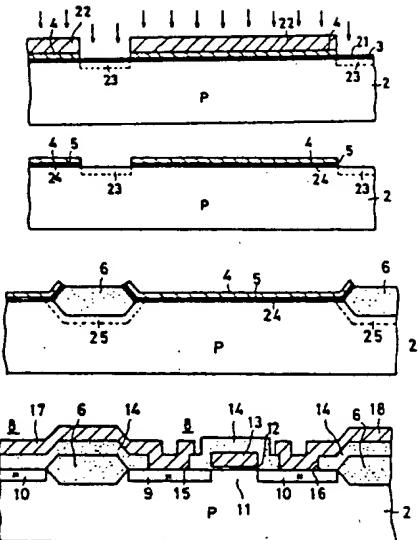
(21) Appl. No. 53-124810 (22) 11.10.1978

(71) NIPPON DENSHIN DENWA KOSHA (72) YUTAKA YORIUME(1)

(51) Int. Cl<sup>3</sup>. H01L21/76

PURPOSE: To obtain an IC device, by moderating the limits of integration by the birdbeak of a SiO<sub>2</sub> film, and by lightening the stress of distortion between SiO<sub>2</sub> and Si<sub>3</sub>N<sub>4</sub>.

CONSTITUTION: Si<sub>3</sub>N<sub>21</sub> is mounted to the interface of a p-type Si substrate 2 and a SiO<sub>2</sub> film 3, and coated with a double-layer mask of Si<sub>3</sub>N<sub>4</sub> and a resist 22, and a n-type ion shooting layers 23 are manufactured. The films 3, 21 are etching-opened, the resist 22 is removed and a SiO<sub>2</sub> layers 6 for separation among elements are selectively prepared by thermal oxidation treatment. In this case, surface inversion preventive layers 25 by the ion shooting layers 23 are formed under the layers 6. Si<sub>3</sub>O<sub>4</sub> films 4, 5 and a SiO<sub>2</sub> film 24 are etching-removed, and one semiconductor element 8 is separated from other semiconductor elements 8 by the layers 6 according to the fixed method and made up. Since the length of birdbeak is not more than the thickness of the layers 6 in this method, the width of the layers 6 can remarkably be lessened as compared to conventional devices, this IC device can be compacted and element forming regions are not strained by the stress of distortion between Si<sub>3</sub>N<sub>24</sub> and the substrate 2.



437 17 Ø

~~437 129~~

~~437 976~~

+2

CATTERED

⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭55-50634

⑮ Int. Cl.<sup>3</sup>  
H 01 L 21/76

識別記号

府内整理番号  
6426-5F

⑭ 公開 昭和55年(1980)4月12日

発明の数 1  
審査請求 有

(全 6 頁)

⑯ 半導体集積回路の製法

研究所内

⑰ 発明者 峯岸一茂

武藏野市緑町3丁目9番11号日

⑯ 特願 昭53-124810

本電信電話公社武藏野電気通信

⑰ 出願 昭53(1978)10月11日

研究所内

⑰ 発明者 撲梅豊

⑯ 発明人 日本電信電話公社

武藏野市緑町3丁目9番11号日

⑯ 代理人 弁理士 田中正治

本電信電話公社武藏野電気通信

明細書

1. 発明の名称 半導体集積回路装置の製法

リコン基板の正面側の上部に3のシリコン酸化物層下の領域以外の領域に於ける3のシリコン酸化物層を分子間分離用層として形成する工程とを含む事を特徴とする半導体集積回路装置の製法。

2. 特許請求の範囲

シリコン基板に対する酸化処理によりヨウ素シリコン基板の正面側に第1のシリコン酸化物層を形成する工程と、上記シリコン基板に対するアンモニア又はアンモニアを含むガス在通常温度での熱処理により上記シリコン基板及び上記シリコン酸化物層の境界面位置に第1のシリコン酸化物層を形成する工程と、上記第1のシリコン酸化物層及び上記第1のシリコン酸化物層上に第2のシリコン酸化物層を局部的に形成する工程と、上記第1のシリコン酸化物層及び上記第1のシリコン酸化物層の上部に第2のシリコン酸化物層下の領域以外の領域を除去して上記第1のシリコン酸化物層及び上記第1のシリコン酸化物層の上部に第2のシリコン酸化物層を形成する工程と、上記シリコン基板に対する上記第3のシリコン酸化物層をマスクとせる酸化処理により上記シリ

3. 発明の詳細な説明

本発明は、一の半導体素子が分子間分離用層にて他の一の半導体素子より分離されてなる構成を有する半導体集積回路装置の製法の改良に関する。

前述半導体集積回路装置の製法として、第1凹に示す如く、予め用意された第1凹Aに示す如き平らな正面1を有する例えばドウのシリコン基板2に対する熱酸化処理によつて第1凹Bに示す如くシリコン基板2の正面1時にシリコン酸化物層3を形成し、次にそのシリコン酸化物層3のシリコン酸化物層4を局部的に形成し、次にシリコン酸化物層3のシリコン酸化物層4下の領域を除去して第1凹Cに示す如くシリコン酸化物層3のシリコン酸化物層4下の領域によるシリコ

(1)

(2)

てのシリコン酸化物層 1、2を介して対向せるゲート電極としての導電性層 1、3、及び源極 7 及びシリコン酸化物層 6 上にシリコン酸化物層 1、2 及び導電性層 1、3 を堆疊せる構造で延長せる層間絶縁層 1、4 上に延長して遊離が大々層間絶縁層 1、4 に予め形成せる層 1、5 及び 1、6 を通じて層 9 及び 10 に連結されてなるソース電極乃至配線層及びドレイン電極乃至配線層としての導電性層 1、7 及び 1、8 を以つて構成された MIS 増効型トランジスタとしての半導体素子であるとして開示されているものである。

併で斯る半導体素子構造の製作による場合、その製作によつて得られる素子間分離用層としてのシリコン酸化物層 6 はシリコン酸化物層 4 をマスクとせるシリコン基板 2 に対する熱酸化処理によつてはせられるものであり、又この場合の熱酸化処理がシリコン酸化物層 4 下にシリコン酸化物層 5 が存している状態でなされる所以は、そのシリコン酸化物層 5 によつて、若しこのシリコン酸化物層 5 が存在しなければ無

(4)

(3)

酸化処理時にシリコン酸化物層 4 及びシリコン基板 2間に生ずる電応力により所定せられる素子形成層 7 が無視し得ない歪を伴なつたものとしてはせられるという懸念を緩和せんが爲であるが、素子間分離用層としてのシリコン酸化物層 6 を得る時の熱処理時、酸素、水蒸気、水銀或寺の酸化剤がシリコン酸化物層 5 及びシリコン酸化物層 4 の表面層よりそれより界面位置を越つてシリコン酸化物層 4 下のコロナガス波を形成してシリコン酸化物層 5 を通つてシリコン基板 2 の主面側に達することにより、素子間分離用層としてのシリコン酸化物層 6 がシリコン酸化物層 4 下の層間内に素子間分離用層としてのシリコン酸化物層 6 の厚さと同程度又はそれ以上の長さを以つて所定バーズピーク状に延長して形成され、この角素子間分離用層としてのシリコン酸化物層 6 の最小幅が予定とする最小幅よりバーズピーク状に延長せる部のその長さの 2 倍以上大となり、この角半導体素子構造表面を高密度に焼漬化するに一定の傾度を有して

(5)

いた。又素子間分離用層としてのシリコン酸化物層 6 を得る時の熱処理をシリコン酸化物層 4 の厚さを大とし又はシリコン酸化物層 5 の厚さを小としてなせば、それに応じて素子間分離用層としてのシリコン酸化物層 6 のビーズピーク状に延長せる部のその長さをある程度延伸し得ることに由り、又くすればシリコン酸化物層 4 及びシリコン基板 2 面に生ずる電応力が大となるか又はシリコン酸化物層 5 の存在による上述せる電応力緩和効果が薄れ、結果的に得られる素子形成層 7 が無視しえない歪を伴なつたものとしてはせられるという懸念を有していた。

依つて本発明は、両層間に焼漬化する膜層を上述せる従来の場合に比し大幅に緩和し得且素子形成層が歪を伴するものとしてはせられる懸念のない新規な半導体素子構造の製作を達成せんとするもので以下詳述する所より明らかとなるであろう。

第 2 図は本発明の実施例を示し、第 1 図との対応部分には同一符号を附して示すも、予め用

(6)

共にそのシリコン酸化物層4上に例えはフォトレジスト層、シリコン酸化物層、金属層等の前後のイオン注入処理時にマスクとなり得る材料の層2-2を形成し、次にこの層2-2をマスクとせるN型不純物イオンの打込処理によつてシリコン基板2の正面側の層2-1下の領域以外の領域にイオン打込層2-3を形成する。

次に斯くシリコン酸化物層3が形成されたシリコン基板2に対するアンモニア又はアンモニアを含むガス雰囲気中の例えは1000°C~1300°Cの高温度での熱処理をなせば、これによりシリコン基板2及びシリコン酸化物層3の境界面位置にシリコン酸化物層が形成されることがあり、斯る処理をかけて第2図Cに示す如くシリコン基板2及びシリコン酸化物層3の境界面位置にシリコン酸化物層2-1を形成する。尚このシリコン酸化物層2-1はアンモニア又はアンモニアを含むガス雰囲気の圧力を大気圧より高くすればする程速く又薄く形成されるものである。

次に第2図Dに示す如くシリコン酸化物層3上にシリコン酸化物層4を局部的に形成すると

(7)

次にシリコン酸化物層3及びシリコン酸化物層2-1に対する例えは鉛堿沸液でなるエッチャントを用いた層2-2及びシリコン酸化物層4をマスクとせる粗様のエッティング処理をなして第2図Eに示す如くシリコン酸化物層3及びシリコン酸化物層2-1のシリコン酸化物層4下の領域以外の領域を除去してシリコン酸化物層3及びシリコン酸化物層2-1のシリコン酸化物層4下の領域でなるシリコン酸化物層5及びシリコン酸化物層2-4を形成する。この場合、この場合のエッチャントはシリコン酸化物層3を効果的にエッティングするに用いられているものであるが、斯るエッチャントによつてもシリコン

(8)

酸化物層2-1をそれが上記せるイオン打込層2-3を形成する前のイオン打込処理時のイオンによつて指標を受けていることによりエッティングしゆるものであるが、蒸し歯るエッチャントによるシリコン酸化物層2-1に対するエッティングが困難である場合はエッティング処理前にシリコン酸化物層2-1に対するアルゴン等の惰気的に不活性ガスイオンを用いたイオン打込処理を予めなしまくか。又はシリコン酸化物層3に対するエッティング処理においても元は無酸素をエッチャントとせるエッティング処理をなせば良いものである。尚この場合シリコン酸化物層4がエッティングされる確率を増すとこれはシリコン酸化物層2-1の凹凸をやめ十分多くし面積は実質的に無効はないものである。

次に第2図Eに示す如く層2-2をシリコン酸化物層4上より除去し、然る後シリコン基板2に対するシリコン酸化物層4及び2-4をマスクとせる酸化処理をかけて第2図Fに示す如くシリコン基板2の正面側のシリコン酸化物層4

(9)

及び2-4下の領域以外の領域にシリコン酸化物層6を糸子間分離用層として形成する。この糸子がシリコン基板2の糸子間分離用層としてのシリコン酸化物層6下の表面にイオン打込層2-5によると表面反応防止用層2-5が形成されるものである。

次に第2図Iに示す如くシリコン酸化物層4、シリコン酸化物層5及びシリコン酸化物層2-4をシリコン基板2上より除去する。この糸子シリコン酸化物層4及びシリコン酸化物層5はシリコン酸化物層5に対するエッチャントを用いてそのシリコン酸化物層5を除去することによりこれと共にシリコン酸化物層4を除去し併しシリコン酸化物層2-4は熱焼成によるエッチャント又はプラズマエッティング処理によりそれを除去し得るものである。

次にシリコン基板2の糸子間分離用層としてシリコン酸化物層6の形成されていない領域7を糸子形成領域としてその領域7に、第2図Jに示す如く、例えは第1図(1)にて上述せる糸子

(10)

と同様の半導体素子 8 を形成し、斯くて一の半導体素子 8 が電子間分離用層としてのシリコン酸化物層 6 にて他の一の半導体素子 8 より分離されてなる目的とする半導体集積回路装置を得る。

以上で本発明による半導体集積回路装置の製法の一例が明らかとなつたが、斯る製法によれば、その製法によつて得られる電子間分離用層としてのシリコン酸化物層 6 が、シリコン酸化物層 4 及び 2 4 をマスクとせるシリコン基板 2 に対する熱処理によつて得られるものであるが、この場合酸素、水分子、水酸基等の酸化剤がシリコン酸化物層 5 及びシリコン酸化物層 4 の表面よりそれ等の境界面位置を通過してシリコン酸化物層 4 下の傾斜面に浸透するとしてもその酸化剤は、シリコン酸化物層 5 下のシリコン酸化物層 2 4 の存在の為にシリコン基板 2 の正面に達することが防止され、この為電子間分離用層としてのシリコン酸化物層 6 がシリコン酸化物層 4 及び 2 4 下の傾斜面内に所謂バーズビ

(11)

特開昭55-50634 (4)  
ーク状に延長して形成されないか形成されるとしても図示の如く電子間分離用層としてのシリコン酸化物層 6 の厚さ以下の長さを以つてペーズピーカー状に形成される支けであり、依つて電子間分離用層としてのシリコン酸化物層 6 の最小幅を略々予定とせる最小幅に形成し得るか又はそれより大なる幅に形成されるとしても第 1 図にて前述せる従来の場合に比し格段に小なる幅に形成し得るものである。

従つて上述せる本発明によれば半導体集積回路装置を高密度に集積化する場合の限度を第 1 図にて前述せる従来の場合に比し大幅に拡和し得る大なる特徴を有するものである。又これに伴い半導体素子 8 より延長する導電性層の長さを短縮し得るのでこの分導電性層に伴う浮遊容量、抵抗等が小となつて半導体素子 8 を以つて構成せる集積回路の高速化をなし得るものである。尚本発明の場合層間分離用層としてのシリコン酸化物層 6 がシリコン酸化物層 5 及びシリコン基板 2 の境界面に延長せるシリコン酸化

(12)

物層 2 4 の存在の下に得られることにより、シリコン酸化物層 2 4 及びシリコン基板 2 間に生ずる電気力によつて電子形成領域 7 が歪を併なつたものとして得られる歪を有するという問題が生えられるも、斯る問題はシリコン酸化物層 2 4 を十分薄い厚さに形成することによつて実質的に問題となるものではないものである。

尚上述に於ては本発明の一例を示したに留まり、例えば第 2 図 D に示す如くに層 2 2 を形成し、次で A 2 図 E に示す如くにイオン打込層 2 3 を形成するという工程を経し、依つて表面反転防止層 2 5 を有さざる半導体集積回路装置を得る様にすることも出来、勿論本発明は半導体集積回路装置の半導体素子 8 を上例の如く MIS 増強効率型トランジスタとして得る外極端の省効率型、バイポーラ型の駆動素子として更には受動素子として得る場合にも適用し得ること明らかであろう。

#### 4. 断面の簡単な説明

第 1 図には従来の半導体集積回路装置の製法

(13)

を示す第次の工程に於ける略縦的断面図、第 2 図は本発明による半導体集積回路装置の製法の一例を示す第次の工程に於ける略縦的断面図である。

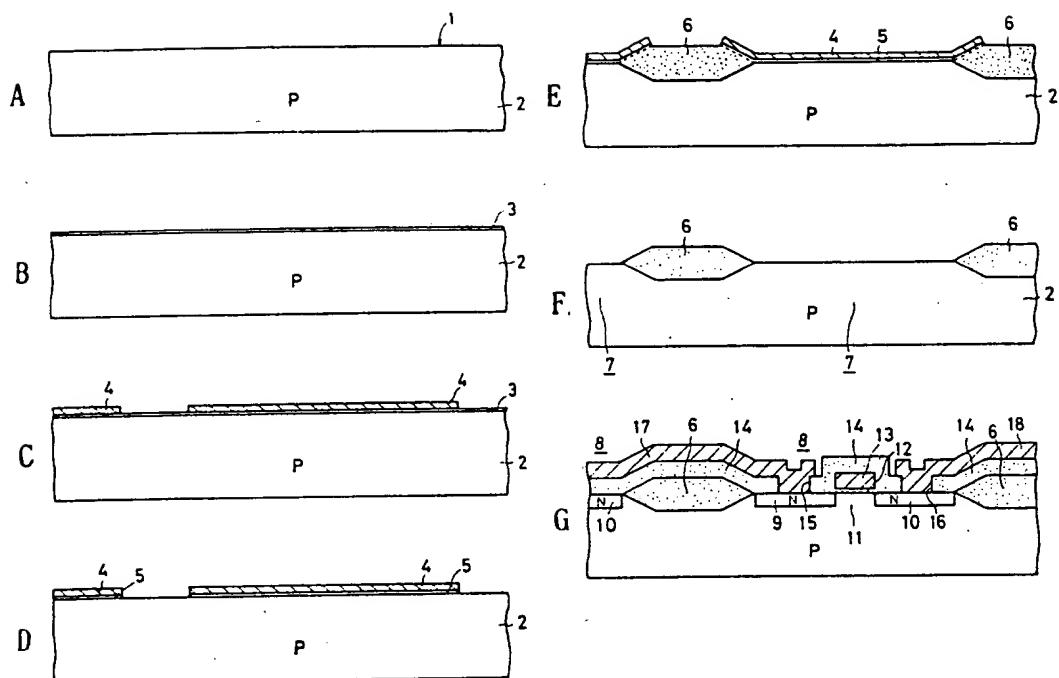
図中 1 は正面、2 はシリコン基板、3、5 及び 6 はシリコン酸化物層、4、2 1 及び 2 4 はシリコン酸化物層、7 は電子形成領域、8 は半導体素子を略々示す。

出願人 日本電信電話公社

代理人 井上正志

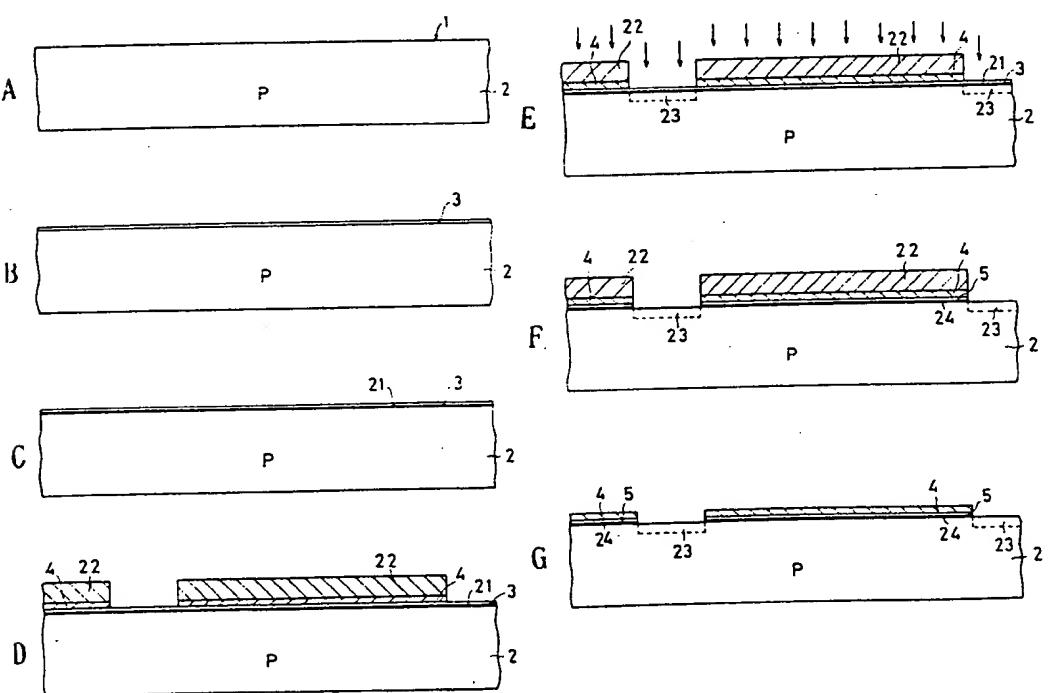
(14)

第1図



第1図

第2図



第2図

